

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 10 月 02 日  
Application Date

申請案號：091122679  
Application No.

申請人：日月光半導體製造股份有限公司  
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 9 月 1 日  
Issue Date

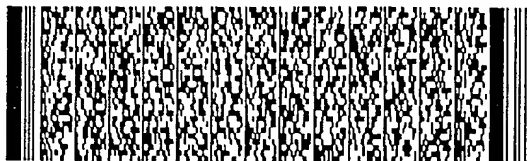
發文字號：09220880620  
Serial No.

|       |     |
|-------|-----|
| 申請日期： | 案號： |
| 類別：   |     |

(以上各欄由本局填註)

## 發明專利說明書

|        |                     |  |
|--------|---------------------|--|
| 一、發明名稱 | 中 文                 | 半導體晶片封裝構造及其製造方法  |
|        | 英 文                 | SEMICONDUCTOR PACKAGE AND MANUFACTURING METHOD THEREOF   |
| 二、發明人  | 姓 名<br>(中文)         | 1. 李俊哲<br>2. 張志煌   |
|        | 姓 名<br>(英文)         | 1. Lee, Chun-Chi<br>2. Chang, Chih-Huang   |
|        | 國 籍                 | 1. 中華民國 2. 中華民國 1. R.O.C. 2. R.O.C.  |
|        | 住、居所                | 1. 高雄市左營區天祥二路61巷12弄31號(No. 31, Alley 12, Lane 61, Tianshiang 2nd Rd., Tzuoying Chiu, Kaohsiung, Taiwan 813, R.O.C.)<br>2. 台南縣永康市西勢路158巷11號(No. 11, Lane 158, Shish Rd., Yungkang City, Tainan, Taiwan 710, R.O.C.) |
| 三、申請人  | 姓 名<br>(名稱)<br>(中文) | 1. 日月光半導體製造股份有限公司  |
|        | 姓 名<br>(名稱)<br>(英文) | 1. Advanced Semiconductor Engineering, Inc.  |
|        | 國 籍                 | 1. 中華民國 R.O.C.   |
|        | 住、居所<br>(事務所)       | 1. 高雄市楠梓加工區經三路26號(26 Chin 3rd Rd., Nantze Export Processing Zone Kaoshiung, Taiwan, R.O.C.)  |
|        | 代表人<br>姓 名<br>(中文)  | 1. 張虔生   |
|        | 代表人<br>姓 名<br>(英文)  | 1. Chang, Jason  |



|       |     |
|-------|-----|
| 申請日期： | 案號： |
| 類別：   |     |

(以上各欄由本局填註)

## 發明專利說明書

|            |                     |   |
|------------|---------------------|---|
| 一、<br>發明名稱 | 中 文                 |   |
|            | 英 文                 |   |
| 二、<br>發明人  | 姓 名<br>(中文)         | 3. 林千琪<br>4. 李政穎  |
|            | 姓 名<br>(英文)         | 3. Lin, Chian-Chi<br>4. Lee, Cheng-Yin  |
|            | 國 籍                 | 3. 中華民國 4. 中華民國 3. R.O.C. 4. R.O.C.   |
|            | 住、居所                | 3. 台南市裕興街238號(No. 238, Yushing St., Tainan, Taiwan, R.O.C.)<br>4. 台南市育平七街2號6樓之3(6Fl.-3, No. 2, Yuping 7th St., Anping Chiu, Tainan, Taiwan 708, R.O.C.) |
| 三、<br>申請人  | 姓 名<br>(名稱)<br>(中文) |   |
|            | 姓 名<br>(名稱)<br>(英文) |   |
|            | 國 籍                 |   |
|            | 住、居所<br>(事務所)       |   |
|            | 代表人<br>姓 名<br>(中文)  |   |
|            | 代表人<br>姓 名<br>(英文)  |   |

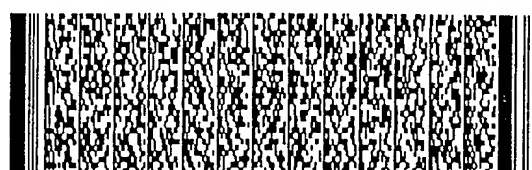
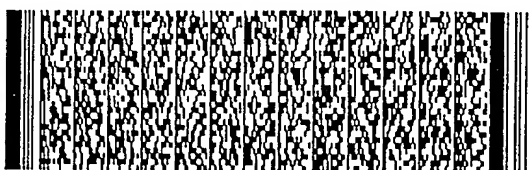


四、中文發明摘要 (發明之名稱：半導體晶片封裝構造及其製造方法)

一種半導體晶片封裝構造主要包括一基板、一半導體晶片及一聚合層。半導體晶片係電連接於該基板上，聚合層係設於半導體晶片之背面上；此聚合層除於晶圓切割形成半導體晶片時，用以防止半導體晶片崩裂外。再者，該聚合層可為一加強散熱膜，據以提昇半導體晶片封裝構造之散熱效果。此外，本發明另提供製造上述半導體晶片封裝構造之方法。

英文發明摘要 (發明之名稱：SEMICONDUCTOR PACKAGE AND MANUFACTURING METHOD THEREOF)

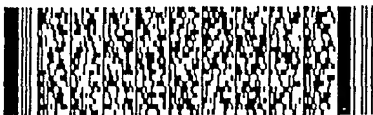
A semiconductor package comprises a substrate, a semiconductor chip and a polymer layer. The semiconductor chip is electrically connected to the substrate. The polymer layer is formed on the back surface of the chip whereby to prevent the chip from being chipping. Furthermore, the polymer layer can be an enhanced thermal-dissipating film for improving the thermal-dissipation ability of the semiconductor package. Besides, the invention provides a method for manufacturing the



四、中文發明摘要 (發明之名稱：半導體晶片封裝構造及其製造方法)

英文發明摘要 (發明之名稱：SEMICONDUCTOR PACKAGE AND MANUFACTURING METHOD THEREOF)

semiconductor package as mentioned above.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

## 五、發明說明 (1)

### 【發明領域】

本發明係有關於一種半導體晶片封裝構造，尤關於一種具有聚合層之半導體晶片封裝構造及其製造方法。

### 【習知技術】

半導體晶片封裝係由晶圓切割成複數個半導體晶片單元後，再提供一基板並將切割後之半導體晶片單元以打線方式電性連接該基板，再以封膠材質包覆該半導體晶片單元。或者，以覆晶封裝方式電性連接該基板。由於晶圓之主要組成材料係為矽，而矽材質本身為一脆性材料，故在晶圓進行切割步驟時，常會造成晶圓表面之崩裂損壞，進而使切割後之半導體晶片邊緣不平整，導致電路受損。

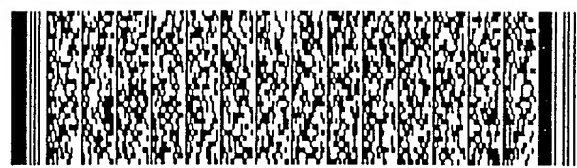
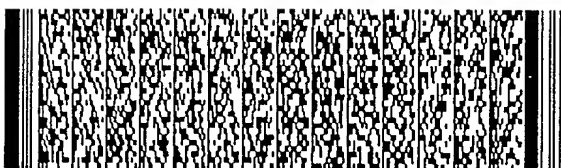
因此，如何避免晶圓切割時之崩裂損壞，以保持切割後之半導體晶片本身結構及電性的完整，據以達成半導體晶片封裝構造之良好實為一重要的課題。

### 【發明概要】

鑑於上述的課題，本發明之目的係在於提供一聚合層於晶圓之背面上，以減少晶圓切割時，晶圓表面之崩裂損壞。

又，本發明之另一目的更可提供一種加強散熱膜，據以提昇散熱效果之半導體晶片封裝構造及其製造方法。

為達上述目的，本發明係提供一種半導體晶片封裝構造，其主要包括一基板、一半導體晶片及一聚合層。該半



## 五、發明說明 (2)

導體晶片係電連接於基板上，而該聚合層係設於該半導體晶片之背面上。其中，該聚合層除用以在晶圓切割形成半導體晶片時，防止晶圓崩裂及損壞外，該聚合層更可為一加強散熱膜用以提升該半導體晶片封裝之散熱效果。

本發明亦提供一種半導體晶片封裝構造之製造方法，其包括下列步驟：提供一基板及一晶圓，該晶圓之背面上設置有一聚合層；將該晶圓切割為複數個半導體晶片；電連接該半導體晶片於該基板上以形成半導體晶片封裝構造。

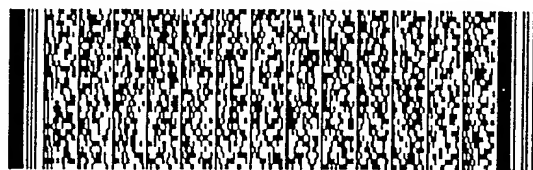
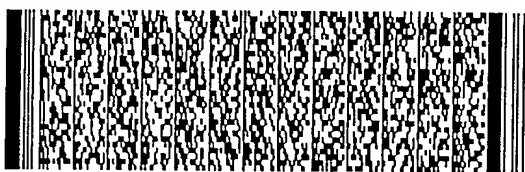
此外，本發明更提供一種半導體晶片封裝構造之製造方法，其包括下列步驟：提供一基板及一晶圓，該晶圓之背面上設置有一聚合層；將該晶圓電連接於該基板上；切割該晶圓及基板，以同時形成複數個半導體晶片封裝構造。

本發明之半導體晶片封裝構造及其製造方法，係利用設置於晶圓背面之聚合層，以提供一應力緩衝層或覆蓋層以避免晶圓切割時，晶圓表面之崩裂損壞。

由於，本發明之半導體晶片封裝構造及其製造方法中，高聚合層可為一加強散熱膜，如導熱性膠帶、導熱環氧樹脂或導熱高分子膜等，故可提升半導體元件之散熱效果。

### 【較佳實施例之詳細說明】

以下請參考相關圖式，以說明本發明較佳實施例之半





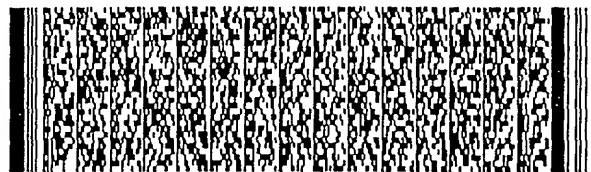
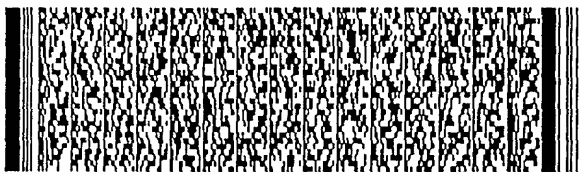
### 五、發明說明 (3)

導體晶片封裝構造。

如圖1所示，本發明之半導體封裝構造主要包括一基板11、一半導體晶片12。基板11具有一上表面111及一相對於上表面111之下表面112。半導體晶片12具有一主動表面121及一相對於主動表面之背面122，複數個鐳墊123形成於主動表面121上，複數個凸塊124形成於鐳墊123上，一聚合層13設置於背面122上。半導體晶片12之主動表面121係面對基板11之上表面111配置，且藉凸塊124以覆晶接合之方式電性連接於基板11。其中，半導體晶片12係由矽所構成，聚合層13可為一導熱環氧樹脂或導熱性膠帶，凸塊124可為錫鉛凸塊或金凸塊。此外，由於基板11與半導體晶片12之熱膨脹係數並不一致，為避免封裝構造受熱應力之影響，故於凸塊124與半導體晶片12及基板11連接處，係藉底膠14或其他具有相同功效之填充體填充於半導體晶片12與基板11之間，以降低熱應力對封裝構造之影響。再者，鐳球15置於基板11之下表面112，以使半導體封裝構造與電路板或其他電子元件訊號連接。

於本實施例中，聚合層13係由導熱環氧樹脂 (thermally conductive epoxies) 構成，係以印刷之方法塗佈於半導體晶片12背面122上，或係由導熱膠帶 (thermally conductive tape) 直接貼合於半導體晶片12背面122上，藉此使聚合層13能緊密地配置於半導體晶片12之背面122上。

如圖2所示，由於導熱環氧樹脂或導熱膠帶具有黏著



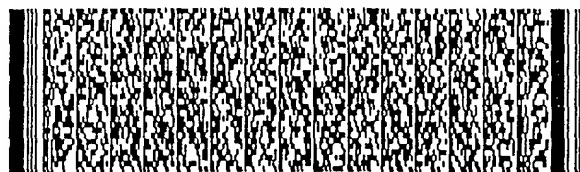
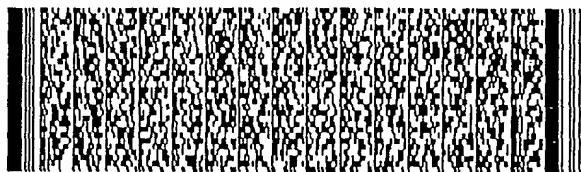
#### 五、發明說明 (4)

性，故可將一蓋狀(cap shape)散熱片16，同時藉該聚合層13黏附於半導體晶片12之背面122上及藉一導熱膠17與基板連結，以使半導體晶片熱量除能經由凸塊124傳導至基板，更能藉由聚合層13經蓋狀散熱片16傳導至外界，提升半導體晶片12之散熱效果。

如圖3所示，亦可藉由聚合層13貼附一平板狀散熱片18於半導體晶片之背面，以增加散熱性。此外為增加此平板狀散熱片18之勁度及定位之準確性，故可設置一加勁環(stiffner ring)19，以避免此平板狀散熱片18變形及傾斜。

如圖4所示，係將半導體晶片12設於基板下表面112之另一實施態樣。如圖5所示，係於基板上表面111設置兩半導體晶片12且於基板下表面112設置另一半導體晶片12之實施態樣，其中每一半導體晶片12之背面122係設有一聚合層13。於本實施例中，半導體晶片12亦可藉由複數條導電線以打線方式與基板11電連接。如圖6所示，基板11可設有一開口(opening)113，以設置半導體晶片12於此開口中，藉著複數條導電線125電性連接半導體晶片12與基板11，該導電線125可為金線。最後，以一封膠體20覆蓋半導體晶片12及導電線125，並使半導體晶片背面之聚合層13外露出該封膠體20，藉此可提升半導體晶片封裝構造之散熱效果。需說明的是，圖2、3、4、5及6中各元件之參考符號係與圖1中之各元件之參考符號相對應。

如圖7所示，說明本發明半導體晶片封裝構造之製造



## 五、發明說明 (5)

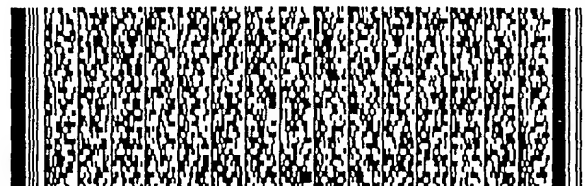
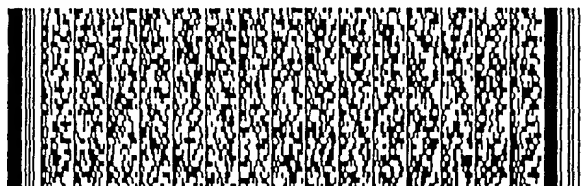
方法。

首先，在步驟71中，提供一基板，該基板可為有機基板(organic substrate)或陶瓷基板(ceramic substrate)；接著，在步驟72中，提供一晶圓，該晶圓具有一主動表面及一背面，該背面係設置一聚合層，該主動表面上係形成複數個鐳墊，且於該複數個鐳墊上形成複數個凸塊；在步驟73中，晶圓之主動表面朝基板上表面配置，且利用形成於該鐳墊上之凸塊(如錫鉛凸塊、金凸塊等)與基板電性連接；在步驟73中，將晶圓電連接於該基板上，其中該晶圓係採用覆晶型態並將底膠或其他具等效之填充體(如異方性導電膠)填充於晶圓與基板之空隙間，以降低熱應力對封裝構造之影響；最後在步驟74中，切割該晶圓及基板以形成複數個覆晶封裝晶片構造。

在步驟74中，由於晶圓背面上係設置聚合層，故切割晶圓時，該聚合層可用以減緩切割晶圓所產生之應力對晶圓之破壞影響，防止晶圓崩裂及損壞。

此外，為增加半導體晶片之散熱面積以提升其散熱速度，亦可於步驟74後進行一散熱片或散熱金屬之設置步驟，如藉導熱膠帶或導熱環氧樹脂之黏著層將散熱片黏附於半導體晶片之背面上。

於本實施例之詳細說明中所提出之具體的實施例僅為了易於說明本發明之技術內容，而並非將本發明狹義地限制於該實施例，因此，在不超出本發明之精神及以下申請專利範圍之情況，可作種種變化實施。



## 圖式簡單說明

### 【圖式之簡單說明】

圖1為一示意圖，顯示本發明第一較佳實施例之半導體晶片封裝構造。

圖2為一示意圖，顯示本發明第二較佳實施例之半導體晶片封裝構造。

圖3為一示意圖，顯示本發明第三較佳實施例之半導體晶片封裝構造。

圖4為一示意圖，顯示本發明第四較佳實施例之半導體晶片封裝構造。

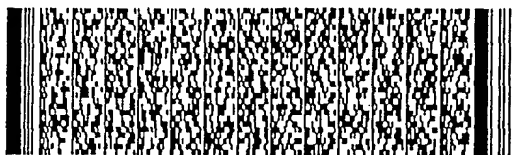
圖5為一示意圖，顯示本發明第五較佳實施例之半導體晶片封裝構造。

圖6為一示意圖，顯示本發明第六較佳實施例之半導體晶片封裝構造。

圖7為一流程圖，顯示本發明較佳實施例半導體晶片封裝構造之製造方法的流程。

### 【圖式符號說明】

- 1 半導體晶片封裝構造
- 11 基板
- 111 基板上表面
- 112 基板下表面
- 113 開口
- 12 半導體晶片
- 121 半導體晶片主動表面



圖式簡單說明

- 122 半導體晶片背面
- 123 半導體晶片鐳墊
- 124 凸塊
- 125 導電線
- 13 聚合層
- 14 底膠
- 15 鐳球
- 16 蓋狀散熱片
- 17 導熱膠
- 18 平板狀散熱片
- 19 加勁環
- 20 封膠體
- 71 提供一基板
- 72 將背面具有聚合層之晶圓電連接於基板上
- 73 將底膠填充於晶圓與基板之間
- 74 切割晶圓及基板以形成複數個覆晶封裝單元



#### 六、申請專利範圍

1. 一種半導體晶片封裝構造，包含：

一基板，該基板具有一上表面及一下表面；

一半導體晶片，具有一主動表面及相對於該主動表面之一背面，該主動表面上具有複數個鐳墊，複數個凸塊係設於該複數個鐳墊上，該半導體晶片係以該主動表面面向該基板上表面配置，且藉該複數個凸塊電性連接於該基板上表面；

一聚合層，係設於該半導體晶片之背面上；及  
複數個鐳球形成於該基板之下表面。

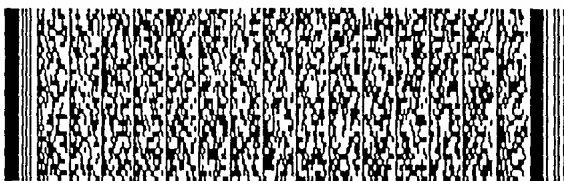
2. 如申請專利範圍第1項之半導體晶片封裝構造，更包含：

一填充體，其係填充於該半導體晶片之主動表面與基板上表面之間。

3. 如申請專利範圍第1項之半導體晶片封裝構造，其中該聚合層係由高分子導熱性材質所組成。

4. 如申請專利範圍第3項之半導體晶片封裝構造，其中該聚合層包含導熱高分子膜。

5. 如申請專利範圍第3項之半導體晶片封裝構造，其中該聚合層包含導熱性膠帶。



六、申請專利範圍

6. 如申請專利範圍第1項之半導體晶片封裝構造，更包含：  
一散熱片，其係設置於該聚合層上。

7. 如申請專利範圍第6項之半導體晶片封裝構造，更包含：  
一導熱膠，該散熱片係藉該導熱膠固接於該基板上。

8. 如申請專利範圍第6項之半導體晶片封裝構造，其中該散熱片係由銅材質所組成。

9. 如申請專利範圍第6項之半導體晶片封裝構造，另包含：  
至少一加勁環，該加勁環係藉該導熱膠同時與該基板及該半導體晶片連接。

10. 如申請專利範圍第9項之半導體晶片封裝構造，其中該加勁環之熱膨脹係數係大致與半導體晶片相同。

11. 一種半導體晶片封裝構造，包含：

一基板；

一半導體晶片，具有一主動表面及相對於該主動表面之一背面，該主動表面上具有複數個鐳墊，該等鐳墊係電性連接於該基板上；及

一聚合層，係設於該背面上。

12. 如申請專利範圍第11項之半導體晶片封裝構造，其中



六、申請專利範圍

該半導體晶片係以覆晶型態與該基板電性連接。

13. 如申請專利範圍第11項之半導體晶片封裝構造，其中該聚合層係由高分子導熱性材質所組成。

14. 如申請專利範圍第11項之半導體晶片封裝構造，其中該聚合層包括導熱高分子膜。

15. 如申請專利範圍第11項之半導體晶片封裝構造，其中該聚合層包括導熱性膠帶。

16. 如申請專利範圍第11項之半導體晶片封裝構造，其中該等鐸墊係以複數條導電線與該基板電性連接。

17. 如申請專利範圍第11項之半導體晶片封裝構造，其中該基板設有一開口，該半導體晶片係穿設於該開口中，且藉由該等導電線與基板電性連接。

18. 如申請專利範圍第11項之半導體晶片封裝構造，其中該基板更包含一上表面及一下表面，該基板之上表面設有該半導體晶片，該基板之下表面形成有複數個鐸球。

19. 如申請專利範圍第18項之半導體晶片封裝構造，更包含：





#### 六、申請專利範圍

另一半導體晶片，其配置於該基板下表面，並與該基板電性連接。

20. 一種半導體晶片封裝構造之製造方法，包含：

(a) 提供一晶圓，該晶圓具有一主動表面及相對於該主動表面之一背面，該主動表面上具有複數個鐳墊，複數個凸塊係設於該複數個鐳墊上，該背面係設置一聚合層；

(b) 提供一基板，該基板具有一上表面及一下表面；

(c) 將該晶圓主動表面面向該基板上表面配置，且藉該複數個凸塊電性連接於該基板；

(d) 切割該晶圓及該基板；及

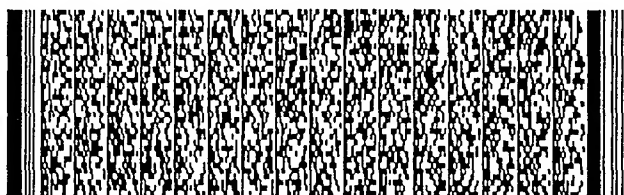
(e) 形成複數個鐳球於該基板之下表面。

21. 如申請專利範圍第20項之半導體晶片封裝構造之製造方法，其中在步驟(c)，更包括提供一填充體於該晶圓之該主動表面與該基板之該上表面之間。

22. 如申請專利範圍第20項之半導體晶片封裝構造之製造方法，其中該聚合層係由高分子導熱性材質所組成。

23. 如申請專利範圍第20項之半導體晶片封裝構造之製造方法，其中該聚合層包括導熱高分子膜。

24. 如申請專利範圍第20項之半導體晶片封裝構造之製造



六、申請專利範圍

方法，其中該聚合層包括導熱性膠帶。

25. 一種半導體晶片封裝構造之製造方法，包含：

(a) 提供一晶圓，該晶圓具有一主動表面及相對於該主動表面之一背面，該主動表面上具有複數個鐳墊，該背面係設置一聚合層；

(b) 切割該晶圓以形成複數個半導體晶片；

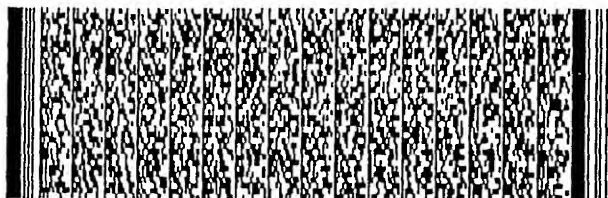
(c) 提供至少一基板；及

(d) 至少提供該複數個半導體晶片之一，將該半導體晶片配置於該基板上，且將該等鐳墊電性連接於該基板。

26. 如申請專利範圍第25項之半導體晶片封裝構造之製造方法，其中該基板更包含一上表面及一下表面，該基板之上表面設有該半導體晶片，且在步驟(d)後，更包括一步驟(e)，係於該基板之下表面形成有複數個鐳球。

27. 如申請專利範圍第26項之半導體晶片封裝構造之製造方法，其中在步驟(e)後，更包括一步驟(f)，係提供另一半導體晶片，將其配置於該基板下表面，並與該基板電性連接

28. 如申請專利範圍第25項之半導體晶片封裝構造之製造方法，其中該聚合層係由高分子導熱性材質所組成。



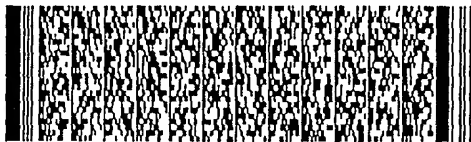
六、申請專利範圍

29. 如申請專利範圍第26項之半導體晶片封裝構造之製造方法，其中該聚合層包括導熱高分子膜。

30. 如申請專利範圍第25項之半導體晶片封裝構造之製造方法，其中該聚合層包括導熱性膠帶。

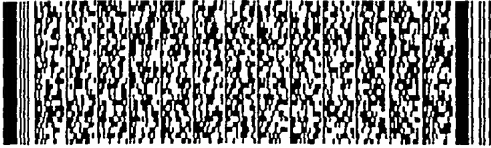
31. 如申請專利範圍第25項之半導體晶片封裝構造之製造方法，其中該半導體晶片係以覆晶型態與該基板電性連接。

32. 如申請專利範圍第25項之半導體晶片封裝構造之製造方法，其中該等鐳墊係以複數條導電線與該基板電性連接。

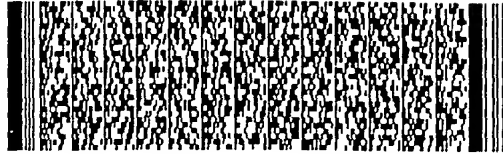




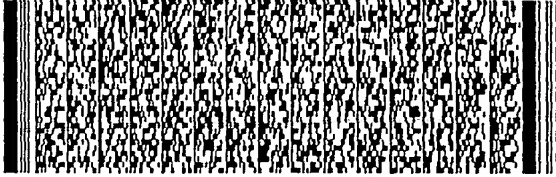
第 11/18 頁



第 12/18 頁



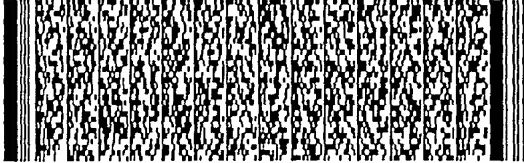
第 13/18 頁



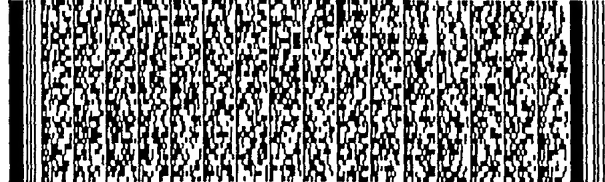
第 14/18 頁



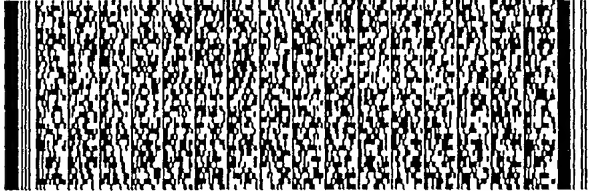
第 15/18 頁



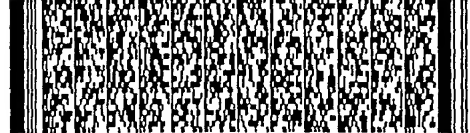
第 16/18 頁



第 17/18 頁



第 18/18 頁



圖式

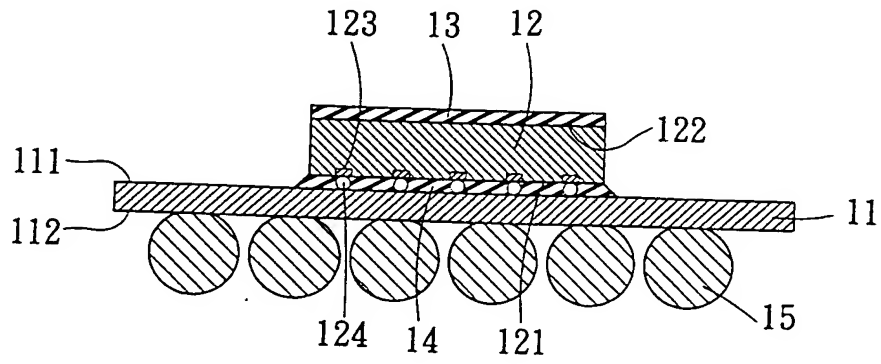


圖1

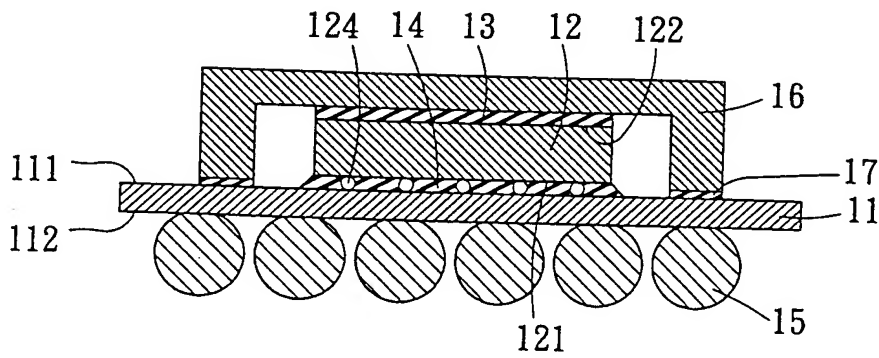


圖2

圖式

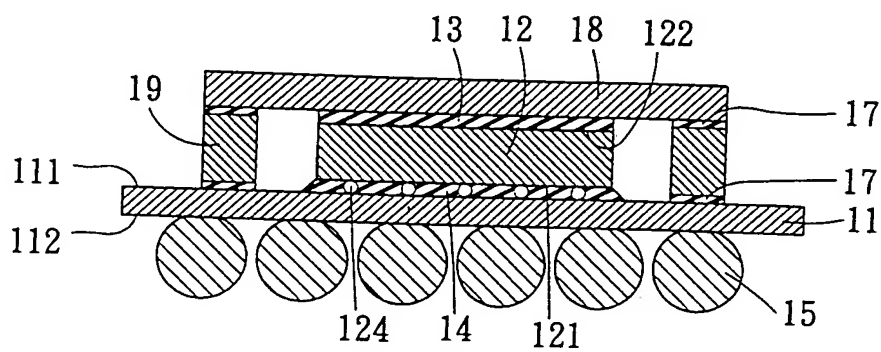


圖3

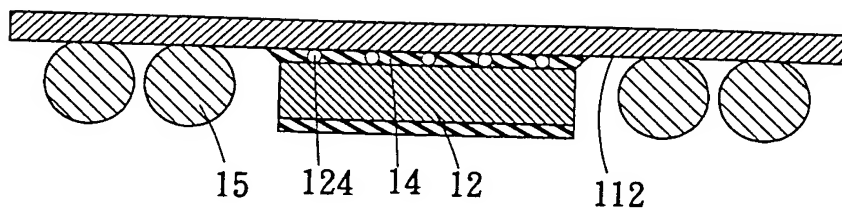


圖4

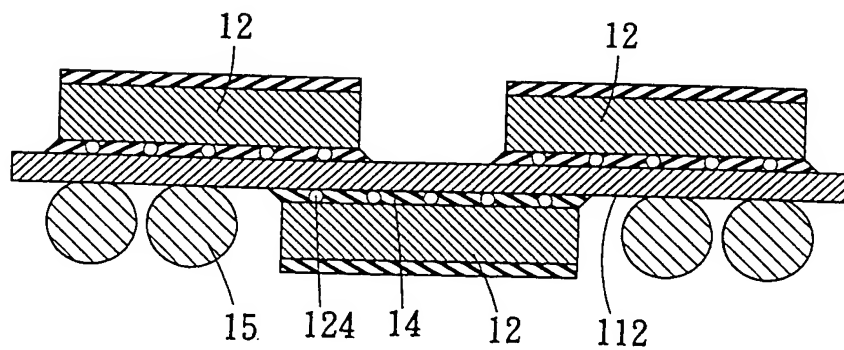


圖5

圖式

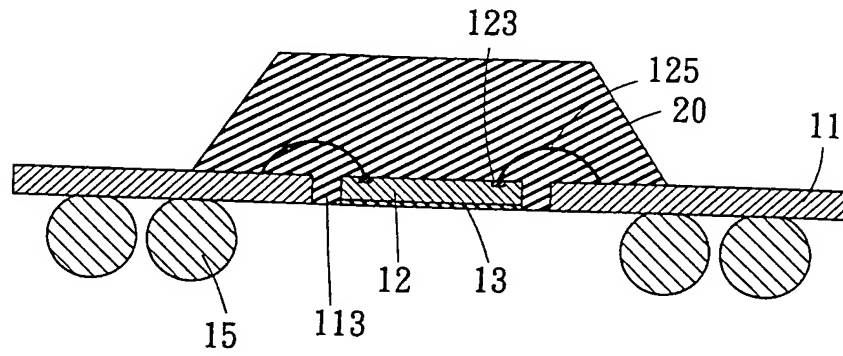


圖6



圖式

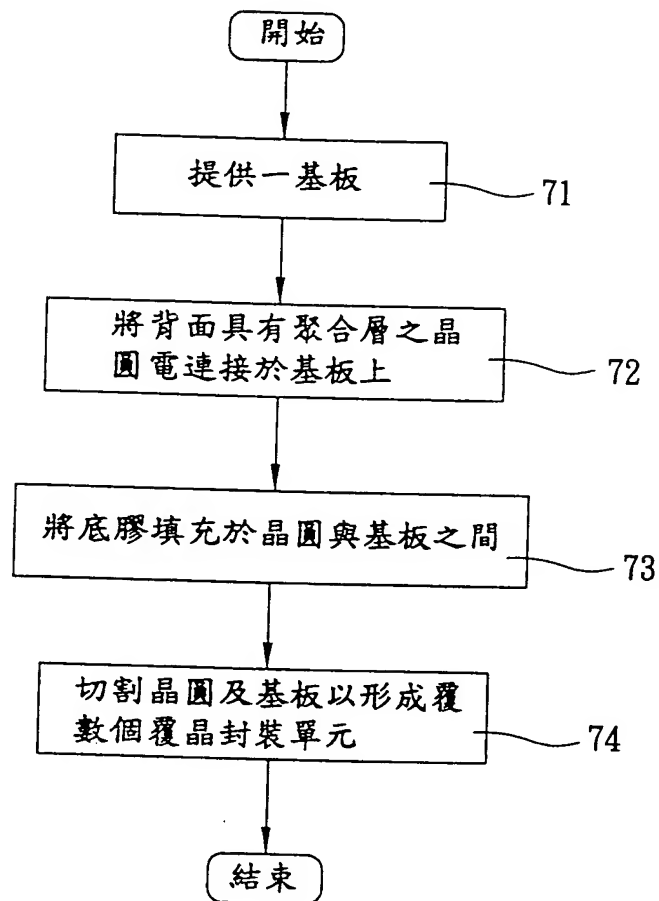


圖7